

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 2 年 1 2 月    5 日  
Date of Application:

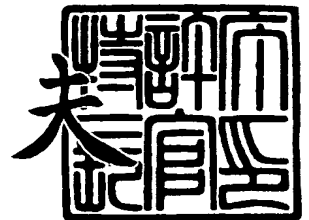
出 願 番 号                    特 願 2 0 0 2 - 3 5 3 7 3 4  
Application Number:  
[ST. 10/C]:                    [ J P 2 0 0 2 - 3 5 3 7 3 4 ]

出      願      人                    シャープ株式会社  
Applicant(s):

2 0 0 3 年 1 1 月    5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 1 5 6 1

【書類名】 特許願

【整理番号】 P02S0007A1

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 4

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森川 佳直

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100114476

【弁理士】

【氏名又は名称】 政木 良文

【電話番号】 06-6233-6700

【選任した代理人】

【識別番号】 100107478

【弁理士】

【氏名又は名称】 橋本 薫

【電話番号】 06-6233-6700

【手数料の表示】

【予納台帳番号】 072856

【納付金額】 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1

**【物件名】** 図面 1

**【物件名】** 要約書 1

**【物件名】** 包括委任状 1

**【援用の表示】** 平成 1 4 年 1 2 月 3 日付で提出の包括委任状を援用します。

**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを有する半導体記憶装置であって、

前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と選択トランジスタのソースとを接続してなり、

前記メモリセルアレイ内において、前記選択トランジスタのドレインが前記列方向に沿って共通の前記ビット線に接続し、前記可変抵抗素子の他端側がソース線に接続し、前記選択トランジスタのゲートが前記行方向に沿って共通の前記ワード線に接続してなることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを有する半導体記憶装置であって、

前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と第 1 の選択トランジスタのソースとを接続し、更に、前記可変抵抗素子の他端側と第 2 の選択トランジスタのドレインとを接続してなり、

前記メモリセルアレイ内において、前記第 1 の選択トランジスタのドレインが前記列方向に沿って共通の前記ビット線に接続し、前記第 2 の選択トランジスタのソースがソース線に接続し、前記第 1 及び第 2 の選択トランジスタのゲートが夫々前記行方向に沿って共通の前記ワード線に接続してなることを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記可変抵抗素子が、電気的ストレスにより電気抵抗の変化する可変抵抗素子であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記可変抵抗素子が、マンガンを含むペロブスカイト構

造の酸化物で形成されていることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを有する不揮発性半導体記憶装置に関し、より具体的には、メモリセルが電気抵抗の変化により情報を記憶する可変抵抗素子を有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

ペロブスカイト構造を持つ薄膜材料、特に巨大磁性抵抗（CMR：colossal magnetoresistance）材料や高温超伝導（HTSC：high temperature superconductivity）材料により構成した薄膜やバルクに対して、1つ以上の短い電気パルスを印加することによって、その電気的特性を変化させる手法が提案されている。この電気パルスによる電界の強さや電流密度は、その材料の物理的な状態を変化させるに十分に大きく、逆に、材料自体を破壊することのない十分に低いエネルギーであれば良く、この電気的パルスは正負何れの極性でもよい。また、電気パルスを複数回繰り返し印加することにより、更に材料特性を変化させることができる。

【0003】

かかる従来技術は、例えば米国特許第6204139号明細書（特許文献1）に開示されている。図8と図9は従来技術における印加パルス数と抵抗値の関係を示すグラフである。詳しくは、金属製サブストレートの上に成長させたCMR薄膜に対して印加するパルス数と抵抗の関係を示している。図8では、振幅32V、パルス幅71nsの電圧パルスを47回印加している。かかる条件下では、同図より抵抗値は1桁程度変化することが分る。

## 【0004】

図10と図11は従来技術における印加パルスの極性と抵抗値の変化との関係を示すグラフである。図10は、+12V（正極性）と-12V（負極性）の電圧パルスを印加した場合の抵抗変化の様子を示している。図11では、印加電圧が+51Vと-51Vで、抵抗の測定は、各極性のパルス印加の最後に行っている。図10と図11に見られるように、数回の正極性パルスを印加して抵抗値を低減させた後に負極性のパルスを印加して抵抗値の増大（最終的には飽和状態となる）を図ることが可能となる。このことは、正極性パルスを印加した状態をリセット状態、負極性を印加した状態を書き込み状態とすることでメモリデバイスへの応用が考えられる。

## 【0005】

上記従来例では、当該特性を有するCMR薄膜をアレイ状に配置してメモリアレイを構成した例を開示している。図12に示す当該メモリアレイでは、基板25上に底面電極26を形成し、その上に各1ビットを構成する可変抵抗素子27、上面電極28を形成しており、可変抵抗素子27の夫々に、つまり各1ビット毎に上面電極28にワイヤー29を接続し、書き込み用のパルスを印加する。また、読み出す場合にも、各1ビット毎の上面電極28に接続されたワイヤー29から可変抵抗素子27の抵抗値に対応する電流を読み出す構成となっている。

## 【0006】

しかしながら、上記の図10、図11に示されたCMR薄膜の抵抗変化は2倍程度であり、素子間のばらつき等を考慮するとリセット状態と書き込み状態を良好に識別するにはより大きな抵抗変化であることが好ましい。また、CMR薄膜に印加する電圧が高く、低電圧動作、低消費電力を要望されるメモリデバイスには不適である。

## 【0007】

そこで、本願の出願人等は、特許文献1と同一のペロブスカイト構造でマンガンを含む酸化物のCMR材料のPCMO ( $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ )等を用いて、1つ以上の短い電気パルスを印加することによって、新たな特性を取得することができた。具体的には、約±5Vの低電圧パルスを印加することに

より薄膜材料の抵抗値が数百 $\Omega$ から約1M $\Omega$ まで変化する特性を取得している。以下、このマンガンを含むペロブスカイト構造の酸化物で形成された可変抵抗素子をRRAM素子(Resistance control nonvolatile Random Access Memory)と呼ぶ。

#### 【0008】

また、上記CMR薄膜以外にも、電気パルス印加ではなく磁界や熱を用いることにより、電気抵抗を変化させる事で情報を記憶し、その変化した抵抗値に対応付けられた情報を読み出すという形で不揮発性メモリを実現しているものがある。例えば、MRAM(Magnetic RAM)や、OUM(Ovonic Unified Memory)、MTJ(Magnetic Tunnel Junction)等、種々提案されている。上述のMTJ素子を利用したメモリアレイ素子構成としては、特開2002-151661号公報(特許文献2)に開示されている。この従来例について、読み出しに関する信号のみのメモリセル構成を図5に示す。

#### 【0009】

##### 【特許文献1】

米国特許第6204139号明細書

##### 【特許文献2】

特開2002-151661号公報

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、図12に示されたメモリアレイでは、各1ビット毎に電極にワイヤーを接続し、書き込み動作時に、このワイヤーを通して書き込み用パルスを印加しており、また、読み出し時においても、各1ビット毎に電極に接続されたワイヤーから電流を読み出すために、薄膜材料の特性評価は可能であるが、メモリデバイスとしての集積度を上げることができないという問題がある。また、書き込み動作、読み出し動作、リセット動作を行うに当たり、メモリデバイスの外部からの入力信号により全てを制御しており、従来のメモリデバイスのように、メモリデバイス内部において、書き込み動作、読み出し動作、リセット動作を制

御できるものとして構成されているものではない。

#### 【0011】

図13は、より実デバイスに近いメモリアレイの構成例を模式的に示す回路図である。上記PCMO材料を使用して形成された可変抵抗素子 $R_c$ が $4 \times 4$ のマトリクス状に配置されたメモリアレイ10を構成する。各可変抵抗素子 $R_c$ の一方の端子はワード線 $W1 \sim W4$ に、他方の端子はビット線 $B1 \sim B4$ に接続される。メモリアレイ10に隣接して周辺回路32が設けられる。各ビット線 $B1 \sim B4$ にはビット線選択トランジスタ34が接続され、インバータ38への経路が形成する。ビット線選択トランジスタ34とインバータ38との間には負荷トランジスタ36が接続される。この構成により、メモリアレイ10の各可変抵抗素子 $R_c$ に対する書き込み、読み出しを行うことができる。

#### 【0012】

この従来のメモリアレイ10では、低電圧でのメモリ動作が可能となる。しかし、この書き込み、読み出し方式では、アクセスするメモリセルに隣接するメモリセルへのリーク電流経路が発生するために、読み出し動作時には正しい電流値を評価することができない。また、書き込み動作時にも、隣接するメモリセルへのリーク電流経路が発生するために、正しい書き込み動作ができない虞がある。

#### 【0013】

例えば読み出し動作において、選択メモリセルにおける可変抵抗素子 $R_{ca}$ の抵抗値を読み出すために、ワード線 $W3$ に電源電圧 $V_{cc}$ を、ビット線 $B2$ を接地電位 $GND$ に、その他のビット線 $B1, B3, B4$ 及びワード線 $W1, W2, W4$ はオープンにし、ビット線選択トランジスタ34aをオンにすることによって、矢符A1で示す電流経路を形成することができるため、可変抵抗素子 $R_{ca}$ の抵抗値を読み出すことができる。しかし、可変抵抗素子 $R_{ca}$ に隣接する可変抵抗素子 $R_c$ に対し、例えば、矢符A2、A3等で示す電流経路が発生するため、選択メモリセルにおける可変抵抗素子 $R_{ca}$ の抵抗のみの値を読み出すことはできなくなる。

#### 【0014】

そこで、特許文献2に示す従来例のように可変抵抗素子と選択トランジスタを



直列に接続してメモリセルを形成することで、図13で発生していた非選択の可変抵抗素子を通過する電流経路を非選択行のメモリセルの選択トランジスタをオフにして遮断でき、上述の読み出し時、書き込み時の問題が解消できる。

#### 【0015】

以下、可変抵抗素子としてRRAM素子を利用した場合のメモリアレイについて説明する。図6は、RRAM素子2と選択トランジスタ3を直列に接続して形成したメモリセル11の回路図で、可変抵抗素子がRRAM素子である点を除き、図5に示す特許文献2のメモリセルと同じ構成である。図7は、そのメモリセル11を使用した場合のメモリアレイ構成を示している。ビット線BL1～BL4には、夫々複数のRRAM素子が接続されている。

#### 【0016】

先ず、読み出し動作について説明する。選択されたRRAM素子に接続されたビット線にバイアス電圧を印加できるように、ビット線選択トランジスタ4を動作させ、例えばビット線に1.5Vを印加する。同時に、読み出し対象のメモリセルのRRAM素子2に接続された選択トランジスタ3（セル選択トランジスタ）のゲートに接続されているワード線をワード線ドライバ5により高レベル（例えば7V）とし、そのセル選択トランジスタ3をオンにする。また、セル選択トランジスタ3のソース（共通ソース線SL1、SL2に接続されている）を基準電圧、例えば、接地電位0Vとする事で、ビット線のバイアス電圧からRRAM素子よりセル選択トランジスタ3を通り、接地電位への電流経路が生成される。一方、非選択メモリセルに対しては、ワード線ドライバ5により非選択ワード線を低レベル（例えば接地電位0V）とし、また、非選択ビット線を低レベル、または、高インピーダンス（オープン状態）とすることにより、読み出しビット線で選択されたメモリセルのRRAM素子以外を通過する電流経路がなくなる。このような状況の中、選択されたRRAM素子の抵抗の変化のみが、ビット線に流れる電流の変化となって現れ、その電流変化を読み出し回路にて判別することで、選択メモリセルに記憶された情報を正確に読み出すことができる。この結果、記憶素子としてRRAM素子を活用できることになる。

#### 【0017】

次に、本メモリアレイの書き込み動作を説明する。尚、ここではRRAM素子2の抵抗値が基準となる抵抗値に対し大きい場合を書き込み状態、小さい場合を消去状態とする。今、選択されたRRAM素子2に接続されたビット線にバイアス電圧を印加できるように、ビット線選択トランジスタ4を動作させ、例えばビット線に3Vを印加する。同時に、書き込むRRAM素子2に接続されたセル選択トランジスタ3のゲートに接続されているワード線をワード線ドライバ5により高レベル（例えば7V）とし、セル選択トランジスタ3をオンにする。また、セル選択トランジスタ3のソース（共通ソース線SL1、SL2に接続されている）を所定の値（例えば接地電位0V）とする事で、ビット線のバイアス電圧からRRAM素子よりセル選択トランジスタを通り、接地電位へと電流経路が生成され、選択メモリセルへの書き込みがなされる。一方、非選択メモリセルに対しては、非選択ワード線を低レベル（例えば接地電位0V）に設定することにより、非選択RRAM素子に対しては選択ビット線から接地電位への電流経路が形成されず書き込みはなされない。

#### 【0018】

次に、このメモリアレイの消去動作を、ブロック単位で一括消去するブロック消去の場合について説明する。ブロック内にあるRRAM素子に接続された全てのビット線にバイアス電圧を印加できるように、ビット線選択トランジスタ4を動作させ、例えばビット線に接地電位0Vを印加する。同時に、全てのRRAM素子に接続されたセル選択トランジスタ3のゲートに接続されているワード線を高レベル（例えば7V）とし、セル選択トランジスタをオンにする。また、セル選択トランジスタ3のソース（共通ソース線SL1、SL2に接続されている）を基準電圧、例えば3Vとする事で、共通ソース線のバイアス電圧からブロック内にある全てのセル選択トランジスタとRRAM素子を介して、接地電位0Vのビット線へと電流経路が生成される。以上の動作でブロック内にあるすべてのメモリセルの消去動作が可能となる。

#### 【0019】

しかしながら、上述した図7の構成では、選択されたRRAM素子だけでなく非選択のRRAM素子も選択されたビット線に接続されている構成となるため、

例えば、読み出し動作のために読み出しに係るビット線にバイアス電圧を印加した場合、非選択行のワード線が低レベルであるにも拘らず、非選択の R R A M 素子に電圧ストレスがかかる虞がある。また、この電圧ストレスに関しては、一回の読み出し動作では、無視できる程度に微弱であっても、当該電圧ストレスが同じメモリセルに対し繰り返し発生する可能性があり、R R A M 素子の抵抗状態が長期間に亘って徐々に変化することが懸念される。また書き込み動作時においても、読み出し時と同様な問題が発生する可能性があり、より信頼度の高いデータ保持特性の確立が要望される。この問題は、R R A M 素子が電氣的ストレスによって電気抵抗を変化させてデータを記憶する方式の記憶素子であるため、磁界や熱によって電気抵抗を変化させる M R A M 素子や O U M 素子より顕著であり、より確実に回避する方策が望まれる。

#### 【 0 0 2 0 】

本発明は、上述の問題点に鑑みてなされたものであり、その目的は、上記問題点を解消し、読み出し並びに書き込み動作時における非選択メモリセルの可変抵抗素子に対する電圧ストレスを軽減し、より高信頼度のデータ保持特性を確保できる不揮発性半導体記憶装置を提供することにある。

#### 【 0 0 2 1 】

##### 【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性半導体記憶装置の第 1 の特徴構成は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを有する半導体記憶装置であって、前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と選択トランジスタのソースとを接続してなり、前記メモリセルアレイ内において、前記選択トランジスタのドレインが前記列方向に沿って共通の前記ビット線に接続し、前記可変抵抗素子の他端側がソース線に接続し、前記選択トランジスタのゲートが前記行方向に沿って共通の前記ワード線に接続してなる点にある。

#### 【 0 0 2 2 】

上記第1の特徴構成によれば、先ず、メモリセルが可変抵抗素子と選択トランジスタを直列に接続して形成しているため、非選択行のメモリセルについては、選択トランジスタがオフになっているため、選択メモリセル以外の可変抵抗素子を通過する電流経路を遮断でき、読み出し或いは書き込み動作時に選択メモリセルが正しく読み出せない問題や、非選択のメモリセルが誤って書き込みされる問題は発生しない。更に、ビット線と可変抵抗素子の間に選択トランジスタが存在する構成となっているため、非選択のメモリセルの可変抵抗素子は読み出し及び書き込み動作時において、所定の読み出し及び書き込み電圧の印加されているビット線から電氣的に分離されるため、特許文献2に開示されているようなメモリセルの構成では完全に解消できなかった、可変抵抗素子に対する電圧ストレスの問題が解消され、より高信頼度のデータ保持特性を有することができる。

#### 【0023】

この目的を達成するための本発明に係る不揮発性半導体記憶装置の第2の特徴構成は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを有する半導体記憶装置であって、前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と第1の選択トランジスタのソースとを接続し、更に、前記可変抵抗素子の他端側と第2の選択トランジスタのドレインとを接続してなり、前記メモリセルアレイ内において、前記第1の選択トランジスタのドレインが前記列方向に沿って共通の前記ビット線に接続し、前記第2の選択トランジスタのソースがソース線に接続し、前記第1及び第2の選択トランジスタのゲートが夫々前記行方向に沿って共通の前記ワード線に接続してなる点にある。

#### 【0024】

上記第2の特徴構成によれば、先ず、メモリセルが可変抵抗素子と2つの選択トランジスタを直列に接続して形成しているため、非選択行のメモリセルについては、選択トランジスタがオフになっているため、選択メモリセル以外の可変抵抗素子を通過する電流経路を遮断でき、読み出し或いは書き込み動作時に選択メモリセルが正しく読み出せない問題や、非選択のメモリセルが誤って書き込みさ

れる問題は発生しない。また、ビット線と可変抵抗素子の間に選択トランジスタが存在する構成となっているため、非選択のメモリセルの可変抵抗素子は読み出し及び書き込み動作時において、所定の読み出し及び書き込み電圧の印加されているビット線から電氣的に分離されるため、特許文献2に開示されているようなメモリセルの構成では完全に解消できなかった、可変抵抗素子に対する電圧ストレスの問題が解消される。更に、ソース線と可変抵抗素子の間に選択トランジスタが存在する構成となっているため、メモリセルアレイ内の一部のメモリセルを選択的に個別消去する際に、非選択のメモリセルの可変抵抗素子は個別消去動作時において、所定の消去電圧の印加されているソース線から電氣的に分離されるため、個別消去時の電圧ストレスから開放され、より高信頼度のデータ保持特性を有することができる。

#### 【0025】

上記第1または第2の特徴構成に加えて、前記可変抵抗素子が、電氣的ストレスにより電気抵抗の変化する可変抵抗素子であるのも好ましい特徴構成である。更に、当該可変抵抗素子が、マンガンを含むペロブスカイト構造の酸化物で形成されているのも好ましい特徴構成である。

#### 【0026】

これらの特徴構成によれば、特に電圧ストレスに敏感なメモリセル構造に対して、上記第1または第2の特徴構成の作用効果が発揮され、そのデータ保持特性の改善が期待される。

#### 【0027】

##### 【発明の実施の形態】

本発明に係る不揮発性半導体記憶装置（以下、適宜「本発明装置」という。）の実施の形態につき、図面に基づいて説明する。尚、従来技術の不揮発性半導体記憶装置と重複する部分については、図面上同じ符号を付して説明する。

#### 【0028】

図1は、本発明装置のメモリセル構成を示す。図1に示すように、メモリセル1は、可変抵抗素子としてのRRAM素子2の一端側とN型MOSトランジスタで形成される選択トランジスタ3のソースとを接続してなり、選択トランジスタ

3のドレインがビット線BLに接続し、RRAM素子2の他端側がソース線SLに接続し、選択トランジスタ3のゲートがワード線WLに接続して構成されている。メモリセルとしては、可変抵抗素子2と選択トランジスタ3が直列接続して構成される点では、図5、図6に開示された従来のメモリ構成と類似している。しかしながら、これら従来のメモリセル構成では、ビット線BL側に可変抵抗素子2としてのMJT素子やRRAM素子の一端が接続され、選択トランジスタ3のソースがソース線SLに接続されているのに対し、本実施の形態では、図1に示すように、RRAM素子2の一端はソース線SL側に接続されると共に、選択トランジスタ3のドレイン側がビット線BL側に接続されている点異なる。

#### 【0029】

ここで、RRAM素子2は、電氣的ストレスの印加により電気抵抗が変化し、電氣的ストレス解除後も、変化した電気抵抗が保持されることにより、その抵抗変化でデータの記憶が可能な不揮発性の記憶素子で、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガン酸化膜をMOCVD法、スピンコーティング法、レーザアブレーション、スパッタリング法等で成膜して作成される。

#### 【0030】

図2は、図1のメモリセルを適用した本発明装置のメモリアレイ構成を示す。以下に図2のメモリアレイの読み出し動作について説明する。選択メモリセルの読み出し時、選択メモリセルに接続されたビット線選択トランジスタ4がオンとなり、選択ビット線に所定のバイアス電圧（例えば1.5V）が印加されると同時に、選択メモリセルのRRAM素子2に接続された選択トランジスタ（セル選択トランジスタ）3のゲートに接続されているワード線をワード線ドライバ5により高レベル（例えば7V）とし、セル選択トランジスタ3をオン状態にする。また、選択メモリセルに接続されたソース（共通ソース線SL（SL1、SL2）に接続されている）を基準電圧、例えば接地電位0Vとする事で、ビット線B

Lのバイアス電圧からセル選択トランジスタ3とRRAM素子2を経由する接地電位への電流経路が生成される。

#### 【0031】

一方、非選択メモリセルに対しては、非選択行のメモリセルに接続されるワード線WLをワード線ドライバ5により所定の電位（例えば0V）にする事で、非選択メモリセルのRRAM素子2と選択ビット線BLとが電氣的に遮断される。

#### 【0032】

このような状況の中、選択されたメモリセル1のRRAM素子2の抵抗の変化のみが、ビット線BLに流れる電流の変化となって現れ、その電流変化を読み出し回路にて判別することで、選択メモリセルに記憶された情報を正確に読み出すことができる。更に、非選択メモリセルのRRAM素子2と選択ビット線BLとが電氣的に遮断されることから、同一のビット線BLに対し、読み出し動作を繰り返し行っても非選択メモリセルのRRAM素子2にはビット線BLからの電圧ストレスが直接に印加されることはない。その結果、電圧ストレスによるRRAM素子2の抵抗状態の変化、即ち記憶しているデータ抵抗の消失の可能性が大幅に軽減されることになる。

#### 【0033】

以上、読み出し動作につき説明したが、書き込み動作時においても同様の効果が期待される。即ち、繰り返し同じメモリセル1のRRAM素子2に書き込み動作を行った場合、その書き込みRRAM素子2に接続しているビット線BLに接続するその他の非選択メモリセル1のRRAM素子2にはビット線BLから書き込みバイアス電圧が印加されないため、記憶している抵抗状態が不必要に変化することはない。このことにより、RRAM素子2のデータ保持に対する信頼性が一段と向上する。尚、図3に図1のメモリセル1の模式的な断面図を示す。

#### 【0034】

また、図2に示すメモリアレイ構成は、説明の便宜上4×4の構成のものを例示したが、メモリセルの配列数は上記4×4に限定されるものではない。

#### 【0035】

次に、本発明装置の第2の実施の形態について説明する。

図4は、RRAM素子2の両側に第1及び第2の選択トランジスタ3を直列に接続した本発明装置の第2のメモリセル構成を表している。第1の実施の形態（図1及び図2）のメモリセル構成では、読み出し動作時と書き込み動作時には、非選択メモリセルのRRAM素子2に対する電圧ストレスが繰り返し印加されることによる非選択メモリセルのディスタート現象（記憶データの書き換え）を解消し、データ保持特性の改善が可能となる。

#### 【0036】

しかしながら、消去動作時には、共通のソース線SLに接続する複数のメモリセルを1ブロックとしてブロック単位で一括消去する場合は、第1の実施の形態のメモリセル構成でも、特に問題とならないが、メモリセル単位の消去においては、非選択メモリセルのRRAM素子2に対してディスタート現象を惹起する可能性がある。例えば、ある選択メモリセルをメモリセル単位で個別消去する場合、選択列のビット線に例えば0Vを、選択行のワード線に例えば7Vを印加し、選択されたメモリセルに接続するソース線に例えば3Vを印加すると、同じブロック内であれば非選択メモリセルにも、ソース線に電圧3Vが印加されるため、消去動作時のディスタート現象の発生する可能性がある。図4に示した第2の実施形態のメモリセル構造では可変抵抗素子2の両端に選択トランジスタ3が配置されているため、メモリセル単位の個別消去動作時のディスタート現象をも防ぐことが可能となり、読み出し動作、書き込み動作、消去動作の何れの動作の場合であっても非選択メモリセルのRRAM素子2に対する電圧ストレスの印加が防止でき、更なるデータ保持特性の改善が可能となる。

#### 【0037】

尚、上記各実施の形態において、読み出し動作、書き込み動作、消去動作の各動作における、ビット線、ワード線、ソース線に印加する電圧は、使用するRRAM素子の特性に依存して決定されるべきものであり、上記の各電圧値は例示であり、上記各実施の形態の電圧値に限定されるものではない。

#### 【0038】

#### 【発明の効果】

本発明装置の第1の実施の形態によれば、先ず、メモリセルが可変抵抗素子と



選択トランジスタを直列に接続して形成しているため、非選択行のメモリセルについては、選択トランジスタがオフになっているため、選択メモリセル以外の可変抵抗素子を通過する電流経路を遮断でき、読み出し或いは書き込み動作時に選択メモリセルが正しく読み出せない問題や、非選択のメモリセルが誤って書き込みされる問題は発生しない。更に、ビット線と可変抵抗素子の間に選択トランジスタが存在する構成となっているため、同一のビット線から読み出しや書き込みを繰り返し行っても、当該ビット線から非選択メモリセルの可変抵抗素子には直接電圧ストレスが印加されない。その結果、電圧ストレスにより記憶している抵抗状態の変化によるデータの書き換えの可能性はなくなり、可変抵抗素子のデータ保持に対する信頼性が向上する。また、本発明装置の第2の実施の形態によれば、更に、メモリセル単位の個別消去動作時においても、消去時のディスターブ現象をも防ぐことが可能となり、読み出し動作、書き込み動作、消去動作の何れの動作の場合においても非選択メモリセルのRRAM素子に電圧ストレスが印加されデータの書き換えが発生するのを防止できる。

#### 【図面の簡単な説明】

##### 【図1】

本発明に係る不揮発性半導体記憶装置の一実施の形態におけるメモリセルを示す回路図

##### 【図2】

本発明に係る不揮発性半導体記憶装置の一実施の形態におけるメモリセルアレイを示す回路図

##### 【図3】

図1に示すメモリセルの断面構造を模式的に示す断面図

##### 【図4】

本発明に係る不揮発性半導体記憶装置の別実施の形態におけるメモリセルを示す回路図

##### 【図5】

従来の不揮発性半導体記憶装置のメモリセル構成の一例を示す回路図

##### 【図6】

従来の不揮発性半導体記憶装置のメモリセル構成の他の一例を示す回路図

【図 7】

図 6 に示すメモリセルを使用した従来の不揮発性半導体記憶装置のメモリセルアレイ構成の一例を示す回路図

【図 8】

従来技術における印加パルス数と抵抗値の関係を示すグラフ

【図 9】

従来技術における印加パルス数と抵抗値の関係を示すグラフ

【図 1 0】

従来技術における印加パルスの極性と抵抗値の変化との関係を示すグラフ

【図 1 1】

従来技術における印加パルスの極性と抵抗値の変化との関係を示すグラフ

【図 1 2】

従来技術におけるメモリアレイ構成を示す斜視図

【図 1 3】

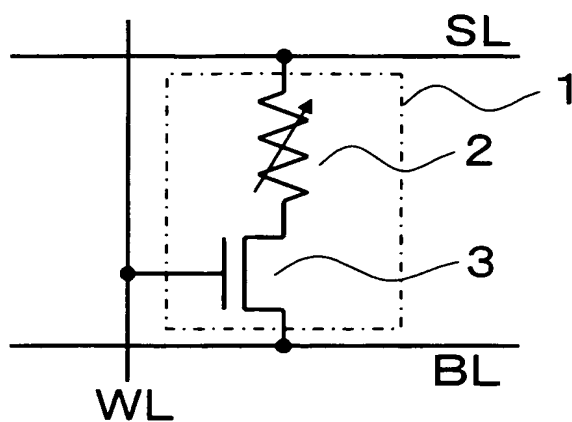
従来の不揮発性半導体記憶装置のメモリアレイ構成の一例を示す回路図

【符号の説明】

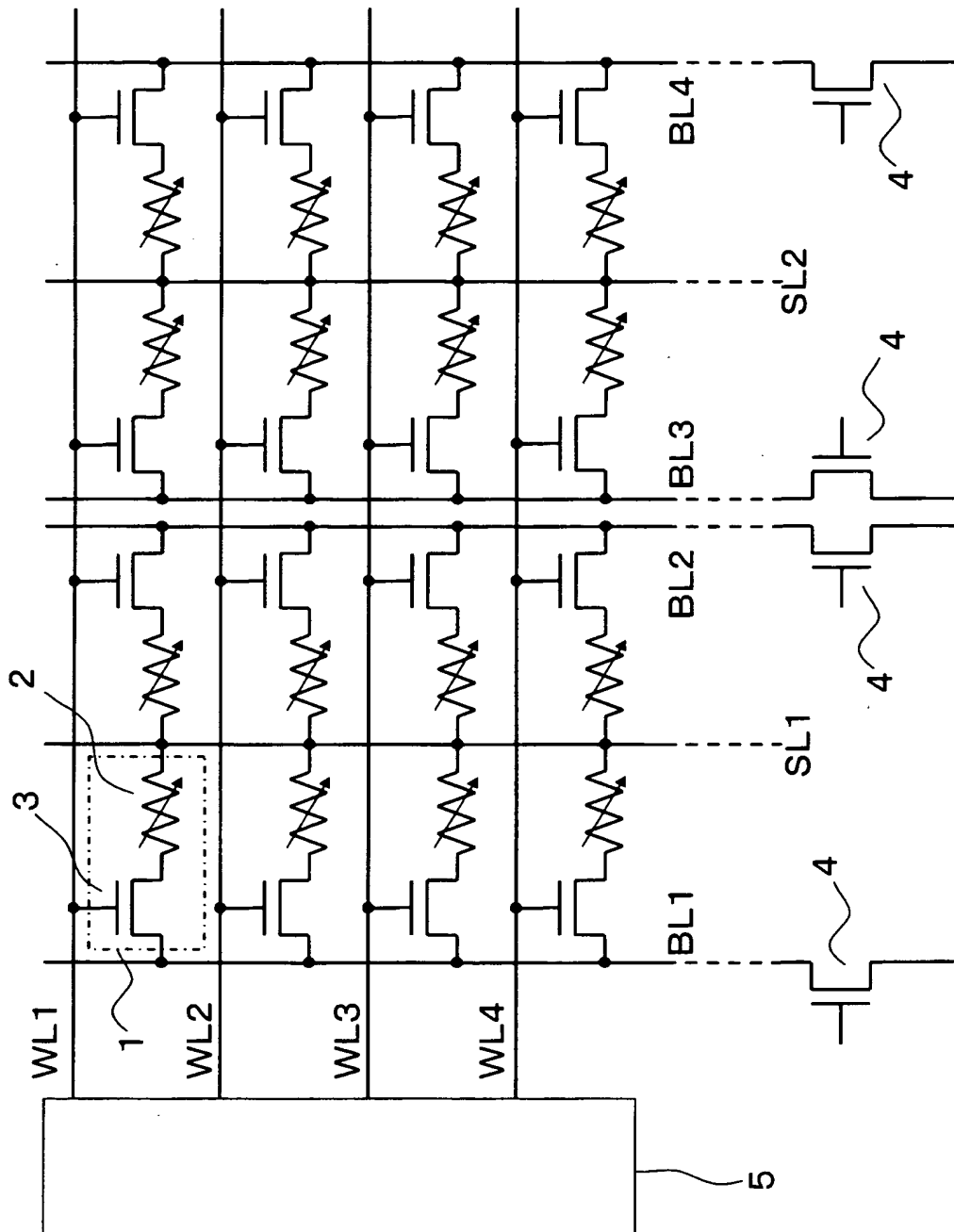
- 1：メモリセル
- 2：可変抵抗素子（R R A M 素子）
- 3：選択トランジスタ
- 4：ビット線選択トランジスタ
- 5：ワード線ドライバ
- W L、W L 1～W L 4：ワード線
- B L、B L 1～B L 4：ビット線
- S L、S L 1、S L 2：ソース線

【書類名】 図面

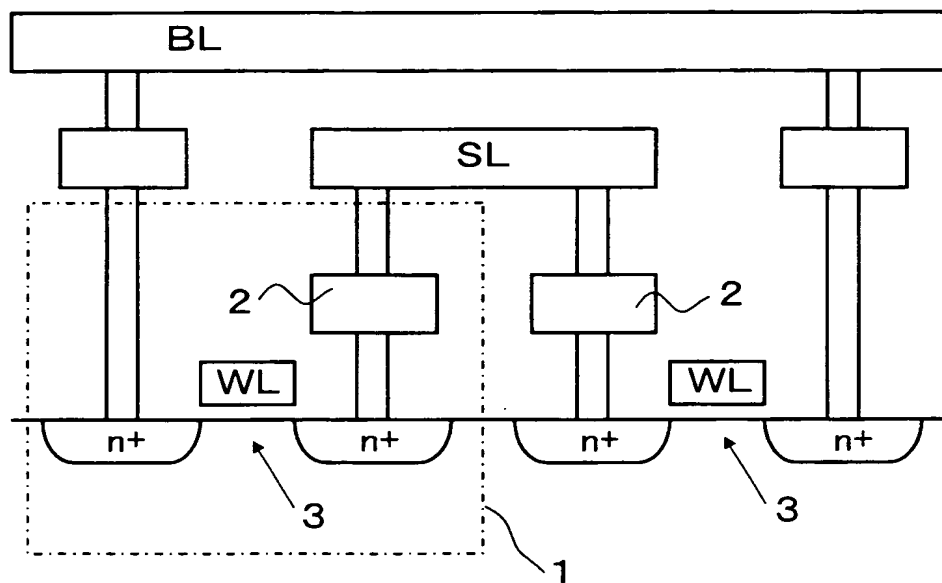
【図 1】



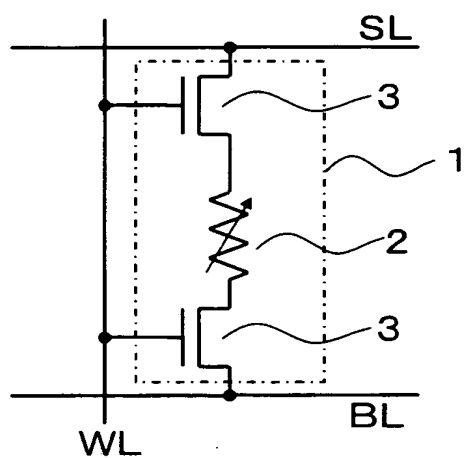
【図 2】



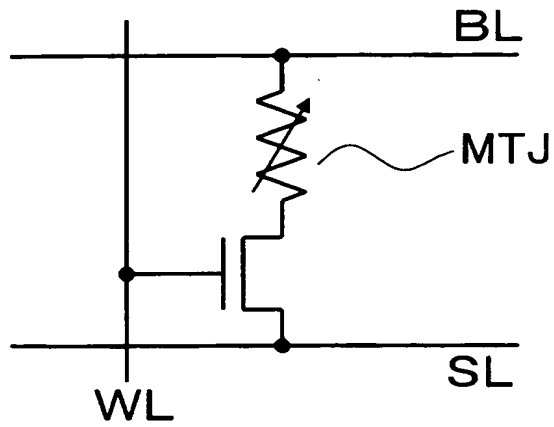
【図 3】



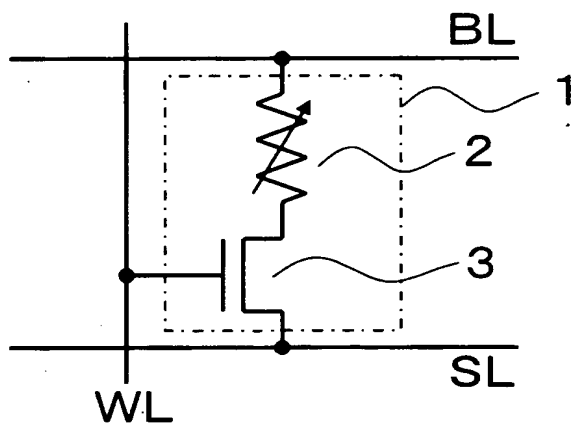
【図 4】



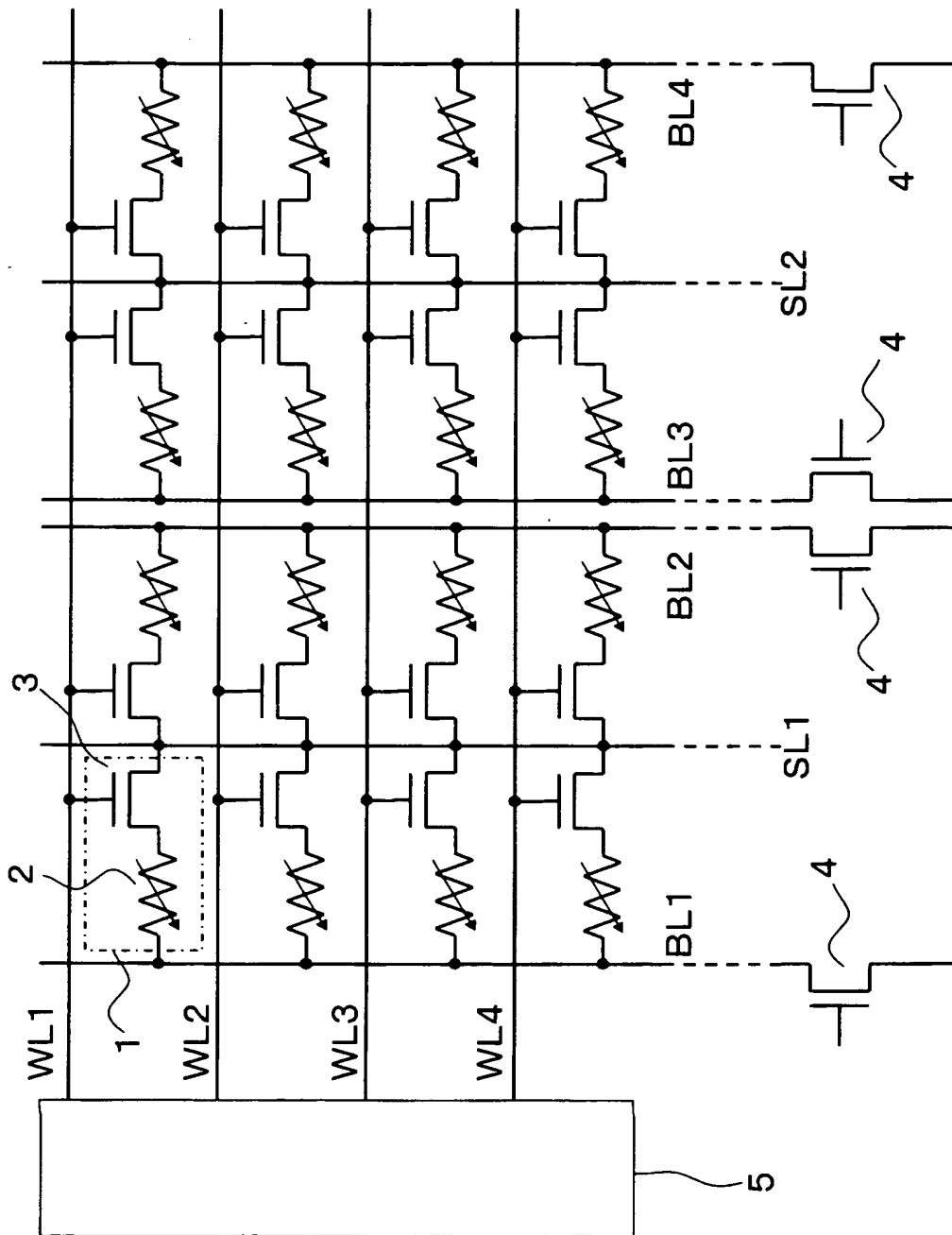
【図 5】



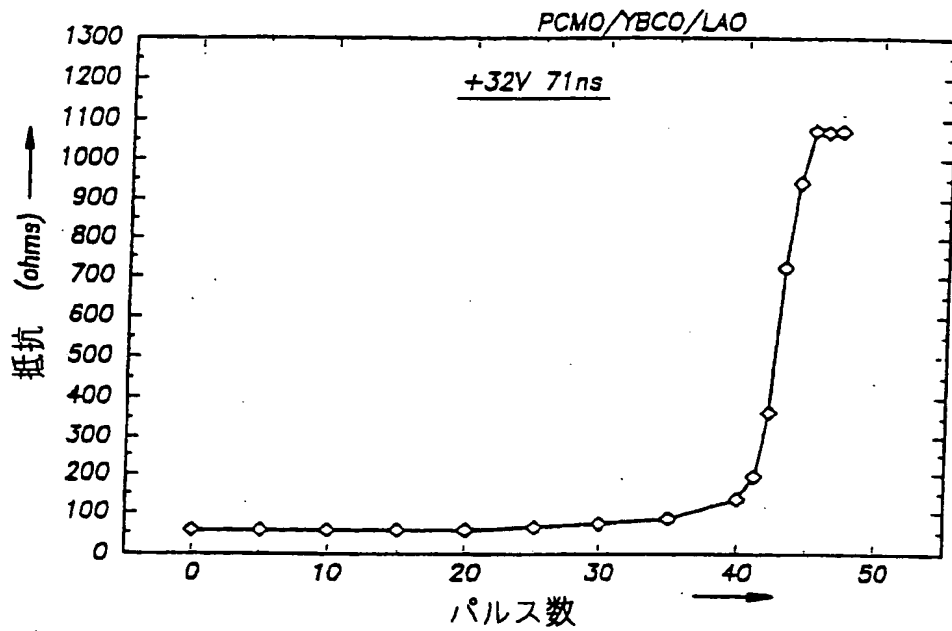
【図 6】



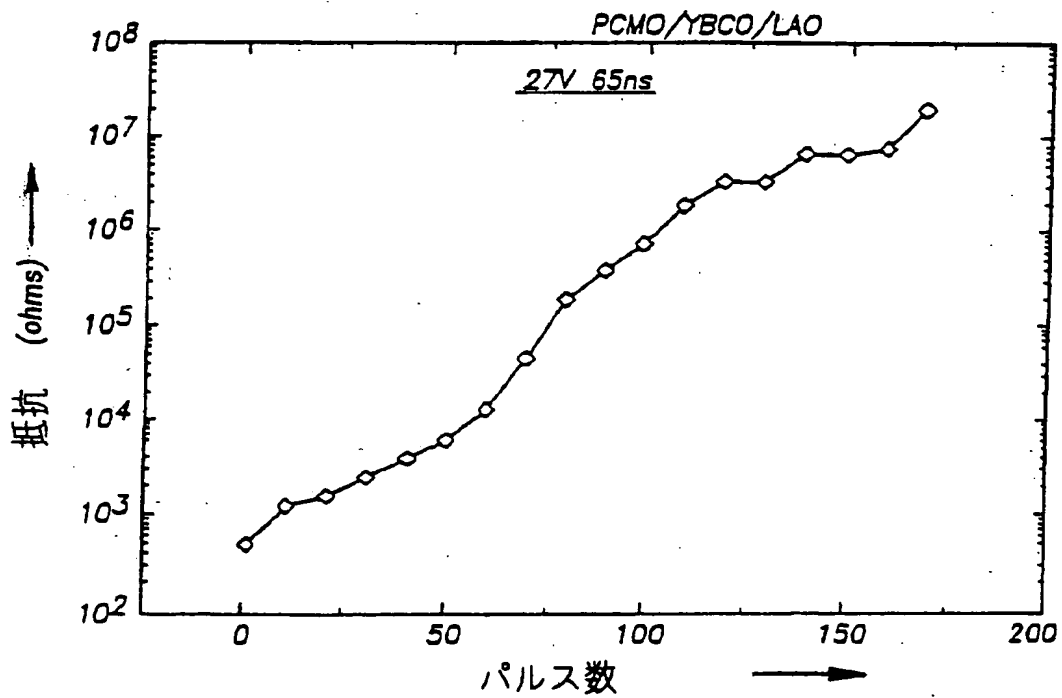
【図 7】



【図 8】

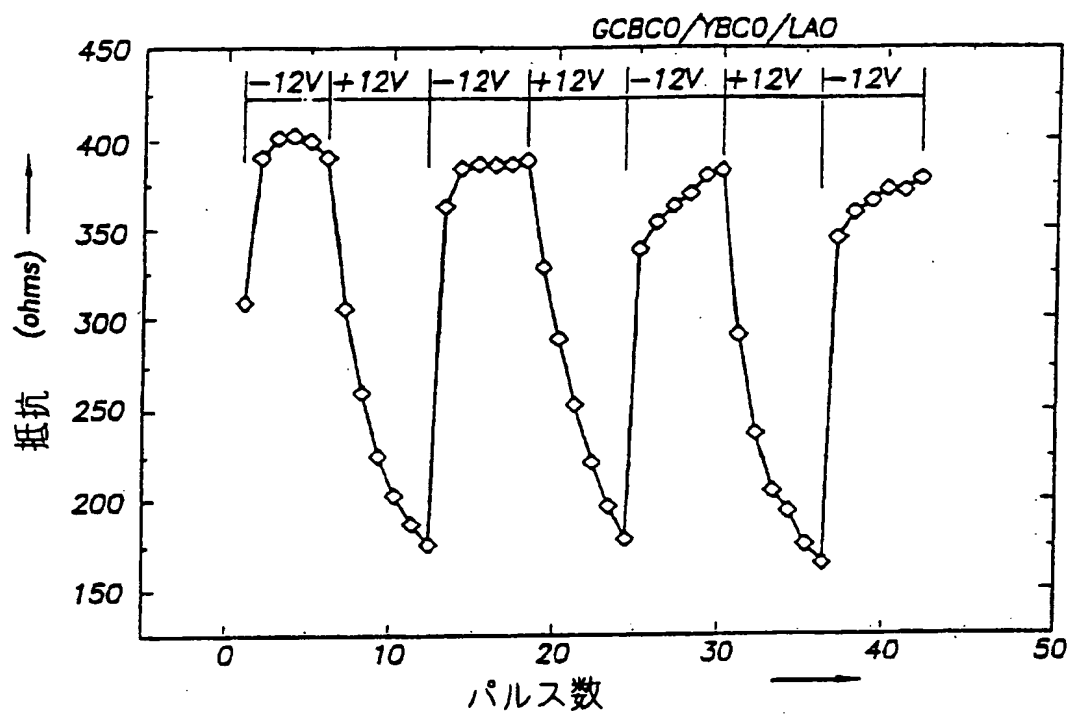


【図 9】

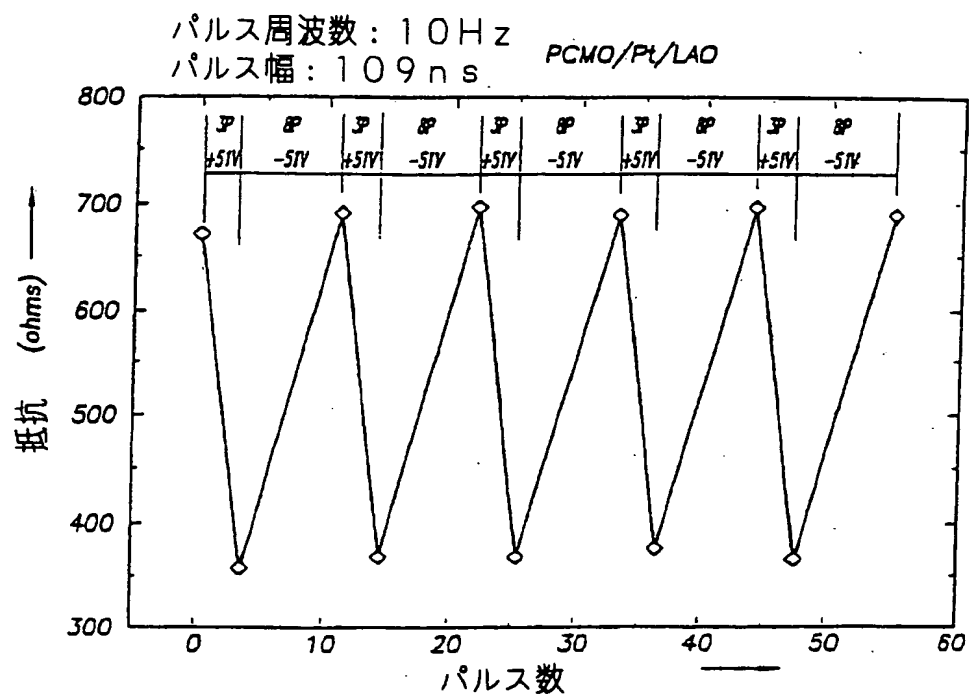




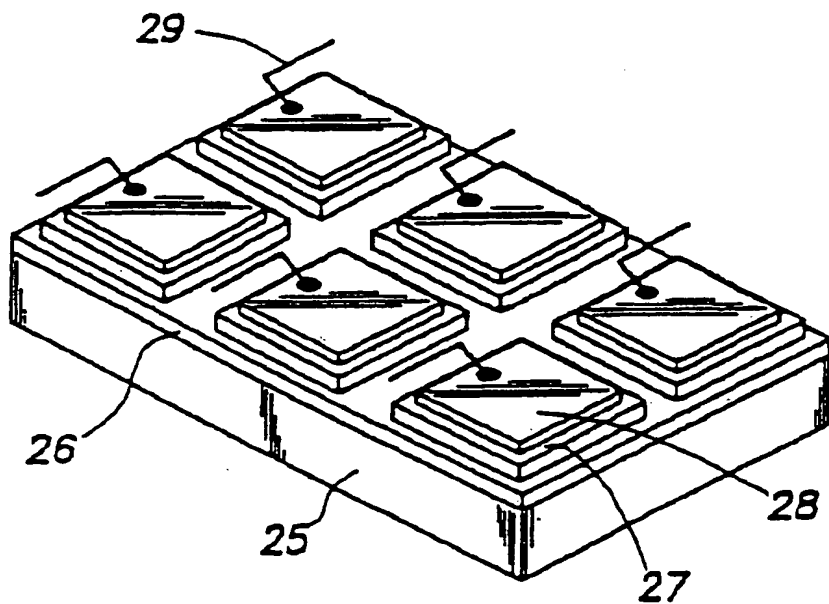
【図 10】



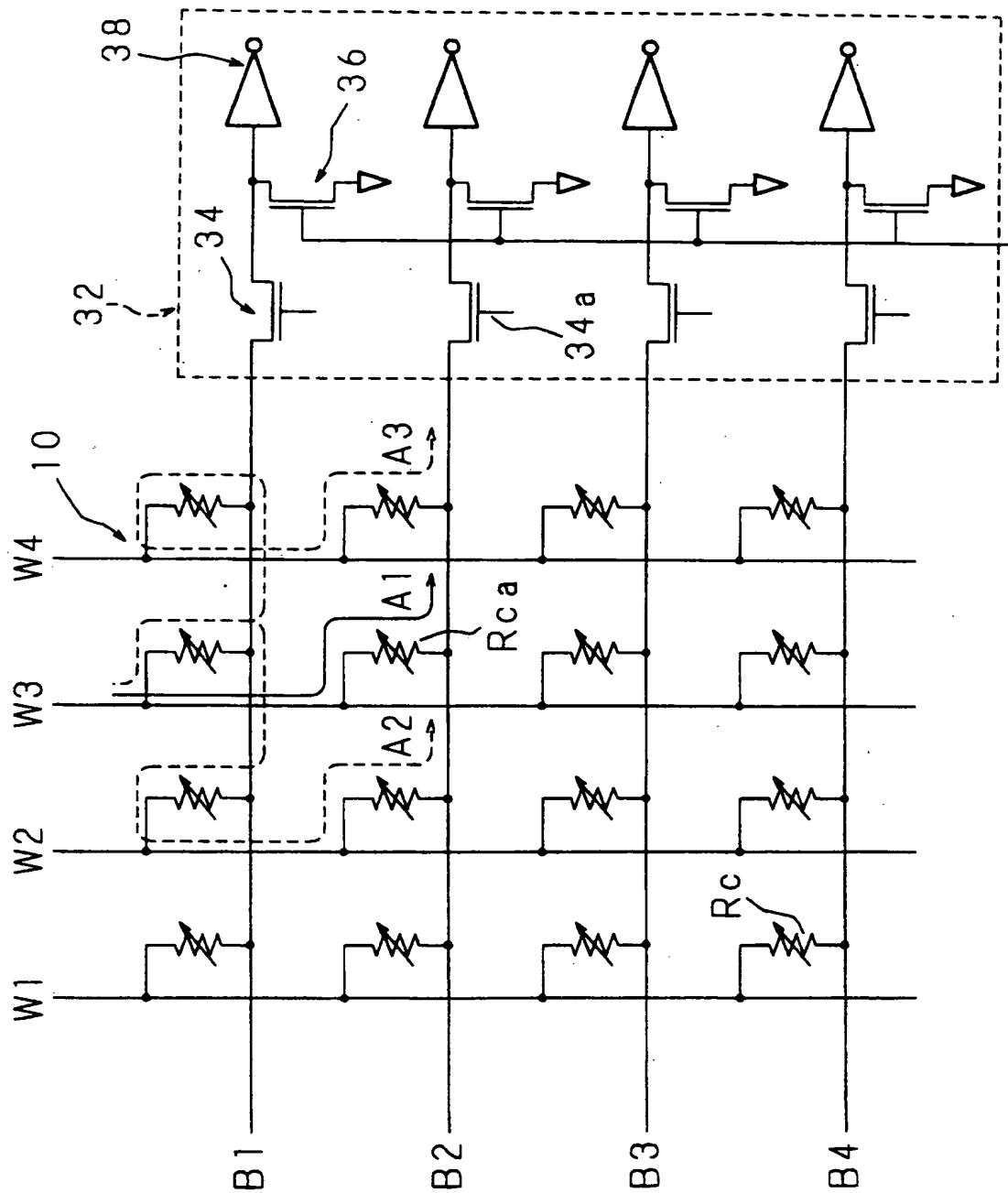
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 読み出し並びに書き込み動作時における非選択メモリセルの可変抵抗素子に対する電圧ストレスを軽減し、より高信頼度のデータ保持特性を担保できる不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性のメモリセル 1 を行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線WLと複数のビット線BLとを配列してなるメモリセルアレイを有し、メモリセル 1 は、電気抵抗の変化により情報を記憶する可変抵抗素子 2 の一端側と選択トランジスタ 3 のソースとを接続してなり、メモリセルアレイ内において、選択トランジスタ 3 のドレインが列方向に沿って共通のビット線BLに接続し、可変抵抗素子 2 の他端側がソース線SLに接続し、選択トランジスタ 3 のゲートが行方向に沿って共通のワード線WLに接続してなる。

【選択図】 図 2

特願 2 0 0 2 - 3 5 3 7 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社